

Docket No.: 49657-700


PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Tsutomu YOSHIMURA, et al.

Serial No.:

Group Art Unit:

Filed: June 01, 2000

Examiner:

For: A DIGITAL SYNCHRONOUS CIRCUIT FOR STABLY GENERATING OUTPUT
CLOCK SYNCHRONIZED WITH INPUT DATA



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

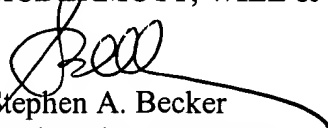
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 11-347448,
filed December 7, 1999

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:klm
Date: June 1, 2000
Facsimile: (202) 756-8087

49657-700

JUNE 1, 2000

YOSHIMURA et al.

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application with this Office.

出願年月日

Date of Application:

1999年12月 7日

出願番号

Application Number:

平成11年特許願第347448号

出願人

Applicant(s):

三菱電機株式会社

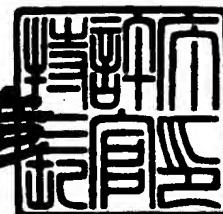
JCS15 U.S. PTO
09/584728
06/01/00

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 1月 7日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3092733

【書類名】 特許願

【整理番号】 518856JP01

【提出日】 平成11年12月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/096

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 吉村 勉

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 近藤 晴房

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100102439

【弁理士】

【氏名又は名称】 宮田 金雄

【選任した代理人】

【識別番号】 100103894

【弁理士】

【氏名又は名称】 家入 健

【選任した代理人】

【識別番号】 100092462

【弁理士】

【氏名又は名称】 高瀬 彌平

【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 デジタル同期回路

【特許請求の範囲】

【請求項 1】 複数のクロック信号を出力するクロック生成回路と、

前記複数のクロック信号の各々に対応して設けられ、各々は入力データ信号がデータ入力端に与えられ、対応するクロック信号がクロック入力端に与えられている複数の第 1 のラッチ回路と、

前記複数の第 1 のラッチ回路に対応して設けられ、各々は制御信号が与えられることにより、対応する第 1 のラッチ回路からの出力信号をそれぞれ保持する複数の第 2 のラッチ回路と、

前記入力データ信号が与えられ、前記制御信号を生成する制御回路とを含み、前記制御回路は、前記入力データ信号が変化してから所定の時間だけ遅延してから前記制御信号が出力されるように構成されたデジタル同期回路。

【請求項 2】 制御回路は、入力データ信号を受ける第 1 の回路と、この第 1 の回路の出力信号を受けて制御信号を出力する第 2 の回路を有し、

前記第 1 の回路及び前記第 2 の回路の一方は、入力された信号の電位の変化に応じてパルス信号を発生し、このパルス信号を出力するパルス発生回路であり、

前記第 1 の回路及び前記第 2 の回路の他方は、入力された信号を遅延させ、その遅延させた信号を出力する遅延回路であることを特徴とする請求項 1 記載のデジタル同期回路。

【請求項 3】 制御回路は、入力データ信号が与えられ、その入力データ信号の電位の変化に応じて第 1 のパルス信号を発生し、その第 1 のパルス信号を出力する第 1 のパルス発生回路と、

前記第 1 のパルス信号がデータ入力端とクロック入力端とに与えられた第 3 のラッチ回路と、

前記第 3 のラッチ回路からの出力信号及び反転出力信号の一方もしくは両方が与えられ、その出力信号又は反転出力信号が電源電位の $1/2$ よりも高い所定の電位を超えたとき、あるいは電源電位の $1/2$ よりも低い所定の電位より下がったときに別の制御信号を出力するレベル判定回路と、

前記別の制御信号の電位の変化に応じて第 2 のパルス信号を発生し、その第 2 のパルス信号を制御信号として出力する第 2 のパルス発生回路とを備えたことを特徴とする請求項 1 記載のデジタル同期回路。

【請求項 4】 第 3 のラッチ回路は、複数の第 1 のラッチ回路のそれぞれと同一の回路により構成されていることを特徴とする請求項 3 記載のデジタル同期回路。

【請求項 5】 第 1 のパルス信号がゲート電極に与えられ、第 3 のラッチ回路の出力端が一方のソースドレイン電極に接続され、前記第 3 のラッチ回路の反転出力端が他方のソースドレイン電極に接続された MOS トランジスタをさらに備えたことを特徴とする請求項 3 記載のデジタル同期回路。

【請求項 6】 レベル判定回路は、第 3 のラッチ回路からの出力信号が与えられ、その与えられた信号がある電位レベルに達したかどうかを判定する第 1 のレベル判定器と、

前記第 3 のラッチ回路からの反転出力信号が与えられ、その与えられた信号が前記ある電位レベルに達したかどうかを判定する第 2 のレベル判定器と、

前記第 1 のレベル判定器及び前記第 2 のレベル判定器からのそれぞれの出力信号が与えられる論理ゲート回路とが含まれていることを特徴とする請求項 3 記載のデジタル同期回路。

【請求項 7】 レベル判定回路は、第 3 のラッチ回路からの出力信号及び反転出力信号の一方が与えられ、その与えられた信号が第 1 の電位レベルに達したかどうかを判定する第 1 のレベル判定器と、

前記第 1 のレベル判定器に与えられている信号と同じ信号が与えられ、その与えられた信号が第 2 の電位レベルに達したかどうかを判定する第 2 のレベル判定器と、

前記第 1 のレベル判定器及び前記第 2 のレベル判定器からのそれぞれの出力信号が与えられる論理ゲート回路とが含まれていることを特徴とする請求項 3 記載のデジタル同期回路。

【請求項 8】 第 1 のレベル判定器及び第 2 のレベル判定器のそれぞれは、一方の入力端に第 3 のラッチ回路からの信号が与えられ、他方の入力端に比較対

象となる所定の電位が与えられる差動入力型の回路であることを特徴とする請求項 6 又は請求項 7 記載のデジタル同期回路。

【請求項 9】 第 1 のレベル判定器及び第 2 のレベル判定器のそれぞれは、論理的しきい値電圧の値を電源電圧の $1/2$ の値から電源電圧あるいは接地電圧の値の方へ近づけた別の論理ゲート回路であることを特徴とする請求項 6 又は請求項 7 記載のデジタル同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は外部からの入力データ信号の位相に同期した出力クロック信号を得るためのデジタル同期回路に関するものである。

【0002】

【従来の技術】

チップ外部からシリアルに送られて来る入力データ信号の位相に同期した出力クロック信号を得るための同期回路を実現する手段として、文献'90 J.S.S.C(Journal of Solid-State Circuits), Vol.25, No.6, pp.1385-1394, B. Kim, D. N. Helman and P. Gray, "A 30-MHz Hybrid Analog/Digital Clock Recovery Circuit in $2\mu\text{m}$ CMOS,"に示された手法がある。

この手法の中で、リング状に接続され遅延時間が制御可能なインバータ列からなる電圧制御型発振回路 (Voltage Controlled Oscillator, 以後 VCO と記述する) から多相クロック信号を生成し、その多相クロック信号を用いる方法が考案されている。

【0003】

その多相クロックを生成する多相クロック生成回路は、VCO の発振周波数がチップ外部から入力される入力データ信号の動作周波数と同一周波数となるように制御される PLL 構成となっており、VCO 内のリング状に接続されたインバータ列の各ノードから信号を分岐して取り出すことにより、同じ周波数で、位相差が一定で、位相の異なる複数のクロック信号、すなわち多相クロック信号が出力されるようになっている。

【0 0 0 4】

図 8 に、この多相クロック信号を用いた従来のデジタル同期回路のブロック構成図を示す。

従来のデジタル同期回路のブロック構成は、 n 本のクロック信号 $CLK 1 \sim CLK n$ を出力する多相クロック生成回路 1 0 と、それぞれ n ビットのラッチ回路 2 0 及びラッチ回路 3 0 と、クロック位相判定回路 5 0 と、 n 本のクロック信号 $CLK 1 \sim CLK n$ から 1 本のクロック信号を選択して出力するセクタ 6 0 とにより構成されている。

また、 n ビットのラッチ回路 2 0 は n 個の D タイプのフリップフロップ $FF 1 \sim FF n$ により構成されている。

【0 0 0 5】

次に、従来のデジタル同期回路の接続形態について説明する。

多相クロック生成回路 1 0 の出力であるクロック信号 $CLK 1$ 、 $CLK 2$ 、 \dots 、 $CLK n$ のそれぞれは、ラッチ回路 2 0 内のフリップフロップ $FF 1$ 、 $FF 2$ 、 \dots 、 $FF n$ のそれぞれのクロック入力端と、セクタ 6 0 の第 1 データ入力端、第 2 データ入力端、 \dots 、第 n データ入力端とにそれぞれ与えられている。フリップフロップ $FF 1 \sim FF n$ のすべてのデータ入力端には、入力データ信号 DIN が与えられている。

また、フリップフロップ $FF 1$ 、 $FF 2$ 、 \dots 、 $FF n$ の出力信号のそれぞれは、 n ビットのラッチ回路 3 0 の 1 ビット目、2 ビット目、 \dots 、 n ビット目のデータ入力端にそれぞれ与えられている。 n ビットのラッチ回路 3 0 のクロック入力端にはクロック信号 $CLK n$ が与えられている。

ラッチ回路 3 0 からの n ビットの出力信号はクロック位相判定回路 5 0 の入力端に与えられている。

また、クロック位相判定回路 5 0 からの出力であるクロック選択信号 CSL がセクタ 6 0 の制御入力端に与えられており、セクタ 6 0 の出力端より出力クロック信号 $OUTCLK$ が出力されている。

【0 0 0 6】

次に、従来のデジタル同期回路の動作について説明する。

多相クロック生成回路 10 により入力データ信号 DIN の周波数と同一の周波数で、位相がそれぞれ異なるクロック信号 CLK1 ~ CLKn が出力される。

入力データ信号 DIN が多相クロック生成回路 10 から出力されたクロック信号 CLK1、CLK2、・・・、CLKn のそれぞれによりラッチ回路 20 内のフリップフロップ FF1、FF2、・・・、FFn にラッチされる。すなわち、入力データ信号 DIN がクロック信号 CLK1 ~ CLKn によりサンプリングされ、サンプリングされたデータが、フリップフロップ FF1 ~ FFn に保持される。

フリップフロップ FF1 ~ FFn に保持されているサンプリングされたデータが、クロック信号 CLKn により次段であるラッチ回路 30 に取り込まれる。

【0007】

さらに、ラッチ回路 30 に保持されている n ビットのデータがクロック位相判定回路 50 に与えられる。

ここで、クロック位相判定回路 50 は、入力データ信号 DIN を時系列的にサンプリングすることにより得られた信号の電位レベルの変化の状態を判断することにより、入力データ信号 DIN を正しくサンプリングするために最適なクロック信号として、クロック信号 CLK1 ~ CLKn のいずれか一つを選択するためのクロック選択信号 CSL を出力する。

セレクタ 60 は、クロック選択信号 CSL の値に基づいてクロック信号 CLK1 ~ CLKn の内の一つを選択し、選択された信号が出力クロック信号 OUTCLK として出力される。

以上のようにして、入力データ信号 DIN と同期した位相のクロック信号 CLK1 ~ CLKn の内の一つを選択し、その選択した信号を出力クロック信号 OUTCLK として出力する構成になっている。これにより、デジタル制御による同期回路が実現されている。

【0008】

【発明が解決しようとする課題】

ここで問題となるのが、ラッチ回路 20 内のフリップフロップ FF1 ~ FFn の出力がある条件の下で一時的に不安定になる、メタステーブル現象がある。

このメタステーブル現象は、フリップフロップ $FF1 \sim FF_n$ に入力される入力データ信号 DIN の電位の変化点と、フリップフロップ $FF1 \sim FF_n$ のクロック入力端に与えられているクロック信号 $CLK1 \sim CLK_n$ の電位の変化点のタイミングが一致している場合に発生する。

メタステーブルが発生すると、入力データ信号 DIN のサンプル結果であるフリップフロップの出力の電位が、一時的に“H”レベル及び“L”レベルのどちらでもない中間的な電位となり、不安定な電位状態になる。

【0009】

この不安定な電位状態から“H”レベルもしくは“L”レベルに定まる前に、そのフリップフロップの出力がラッチ回路 30 に取り込まれた場合、更にラッチ回路 30 の出力の電位もメタステーブルにより“H”レベル及び“L”レベルのどちらでもない中間的な電位となり、一時的に電位のレベルが不定になる可能性がある。

【0010】

すなわち、フリップフロップ $FF1 \sim FF_n$ にメタステーブルが発生することにより、メタステーブルになった信号を受ける回路の動作に悪影響を与え、このデジタル同期回路の出力である出力クロック信号 $OUTCLK$ を正常に出力することが困難になるという問題がある。

【0011】

このようなデータ不定の状態を回避するために、ラッチ回路 30 をマスター・スレーブ構造のフリップフロップ回路にする、もしくはそのフリップフロップ回路の多段接続の形にし、メタステーブルが十分に解消するまでの時間を稼ぐことが考えられる。

【0012】

ただ、時間を稼ぐためにマスター・スレーブ構造、もしくはその多段接続にすると回路規模が大きくなり、チップ面積及び消費電力の面でペナルティとなる。

また、マスター・スレーブ構造、もしくはその多段接続にすると、その部分の回路規模が n の大きさに比例するので、 n の値が大きいほどチップ面積及び消費電力の面でペナルティが大きくなる。

【0013】

この発明は上述のような問題を解決するためになされたもので、非同期で送られて来る入力データ信号DINを複数のクロック信号CLK1～CLKnのそれぞれでラッチするときに生ずるメタステーブルの問題を回避するときに、チップサイズや消費電力が大きくなりたくないデジタル同期回路を得ることを目的としている。

【0014】

【課題を解決するための手段】

第1の発明に係わるデジタル同期回路においては、複数のクロック信号を出力するクロック生成回路と、前記複数のクロック信号の各々に対応して設けられ、各々は入力データ信号がデータ入力端に与えられ、対応するクロック信号がクロック入力端に与えられている複数の第1のラッチ回路と、前記複数の第1のラッチ回路に対応して設けられ、各々は制御信号が与えられることにより、対応する第1のラッチ回路からの出力信号をそれぞれ保持する複数の第2のラッチ回路と、前記入力データ信号が与えられ、前記制御信号を生成する制御回路とを含み、前記制御回路は、前記入力データ信号が変化してから所定の時間だけ遅延してから前記制御信号が出力されるようにしたものである。

【0015】

第2の発明に係わるデジタル同期回路においては、制御回路は、入力データ信号を受ける第1の回路と、この第1の回路の出力信号を受けて制御信号を出力する第2の回路を有し、前記第1の回路及び前記第2の回路の一方は、入力された信号の電位の変化に応じてパルス信号を発生し、このパルス信号を出力するパルス発生回路であり、前記第1の回路及び前記第2の回路の他方は、入力された信号を遅延させ、その遅延させた信号を出力する遅延回路であるようにしたものである。

【0016】

第3の発明に係わるデジタル同期回路においては、制御回路は、入力データ信号が与えられ、その入力データ信号の電位の変化に応じて第1のパルス信号を発生し、その第1のパルス信号を出力する第1のパルス発生回路と、前記第1のパ

ルス信号がデータ入力端とクロック入力端とに与えられた第3のラッチ回路と、前記第3のラッチ回路からの出力信号及び反転出力信号の一方もしくは両方が与えられ、その出力信号又は反転出力信号が電源電位の $1/2$ よりも高い所定の電位を超えたとき、あるいは電源電位の $1/2$ よりも低い所定の電位よりも下がったときに別の制御信号を出力するレベル判定回路と、前記別の制御信号の電位の変化に応じて第2のパルス信号を発生し、その第2のパルス信号を制御信号として出力する第2のパルス発生回路とを備えたものである。

【0017】

第4の発明に係わるデジタル同期回路においては、第3のラッチ回路は、複数の第1のラッチ回路のそれぞれと同一の回路により構成されるようにしたものである。

【0018】

第5の発明に係わるデジタル同期回路においては、第1のパルス信号がゲート電極に与えられ、第3のラッチ回路の出力端が一方のソースドレイン電極に接続され、前記第3のラッチ回路の反転出力端が他方のソースドレイン電極に接続されたMOSトランジスタをさらに備えるようにしたものである。

【0019】

第6の発明に係わるデジタル同期回路においては、レベル判定回路は、第3のラッチ回路からの出力信号が与えられ、その与えられた信号がある電位レベルに達したかどうかを判定する第1のレベル判定器と、前記第3のラッチ回路からの反転出力信号が与えられ、その与えられた信号が前記ある電位レベルに達したかどうかを判定する第2のレベル判定器と、前記第1のレベル判定器及び前記第2のレベル判定器からのそれぞれの出力信号が与えられる論理ゲート回路とが含まれるようにしたものである。

【0020】

第7の発明に係わるデジタル同期回路においては、レベル判定回路は、レベル判定回路は、第3のラッチ回路からの出力信号及び反転出力信号の一方が与えられ、その与えられた信号が第1の電位レベルに達したかどうかを判定する第1のレベル判定器と、前記第1のレベル判定器に与えられている信号と同じ信号が与

えられ、その与えられた信号が第2の電位レベルに達したかどうかを判定する第2のレベル判定器と、前記第1のレベル判定器及び前記第2のレベル判定器からのそれぞれの出力信号が与えられる論理ゲート回路とが含まれるようにしたものである。

【0021】

第8の発明に係わるデジタル同期回路においては、第1のレベル判定器及び第2のレベル判定器のそれぞれは、一方の入力端に第3のラッチ回路からの信号が与えられ、他方の入力端に比較対象となる所定の電位が与えられる差動入力型の回路であるようにしたものである。

【0022】

第9の発明に係わるデジタル同期回路においては、第1のレベル判定器及び第2のレベル判定器のそれぞれは、論理的しきい値電圧の値を電源電圧の $1/2$ の値から電源電圧あるいは接地電圧の値の方へ近づけた別の論理ゲート回路であるようにしたものである。

【0023】

【発明の実施の形態】

実施の形態1.

図1に実施の形態1におけるデジタル同期回路のブロック構成図を示す。

デジタル同期回路は、 n 本のクロック信号 $CLK1 \sim CLKn$ を出力する多相クロック生成回路10と、入力データ信号 DIN をサンプリングする n ビットのラッチ回路20と、ラッチ回路20の出力信号をラッチする n ビットのラッチ回路30と、入力データ信号 DIN が与えられ、ラッチ回路30のクロック入力端に与えるための信号を生成するラッチ制御回路40と、ラッチ回路30からの出力信号が与えられ、クロック選択信号 CSL を出力するクロック位相判定回路50と、 n 本のクロック信号 $CLK1 \sim CLKn$ 及びクロック選択信号 CSL が与えられ、 n 本のクロック信号 $CLK1 \sim CLKn$ からいずれか一つのクロック信号を選択し、選択された信号を出力するセレクタ60とにより構成されている。

また、 n ビットのラッチ回路20は n 個のDタイプのフリップフロップ $FF1 \sim FFn$ により構成されている。

【0024】

ラッチ制御回路40の内部構成を図2に示す。

ラッチ制御回路40は、直列接続体41により構成され、その直列接続体41は、入力データ信号DINが与えられた遅延回路42と、遅延回路42の出力信号が与えられ、その出力信号の電位の変化点でパルスが発生するパルス発生回路43とにより構成されている。

また、パルス発生回路43は、遅延回路42の出力信号が与えられるインバータ44と、インバータ44の出力信号が与えられるインバータ45と、遅延回路42の出力信号及びインバータ45の出力信号が与えられ、このパルス発生回路43及び直列接続体41の出力でもあるラッチ制御信号LCを出力する排他的論理和ゲート46（以降排他的論理和ゲートをEXORゲートと略記する）とにより構成されている。

【0025】

次に、実施の形態1におけるデジタル同期回路の接続形態について説明する。

多相クロック生成回路10の出力であるn本のクロック信号CLK1、CLK2、・・・、CLKnのそれぞれは、ラッチ回路20内のn個のフリップフロップFF1、FF2、・・・、FFnのそれぞれのクロック入力端と、セレクタ60の第1データ入力端、第2データ入力端、・・・、第nデータ入力端のそれぞれとに与えられている。

入力データ信号DINは、ラッチ回路20内のフリップフロップFF1～FFnのすべてのデータ入力端と、ラッチ制御回路40内の遅延回路42の入力端とに与えられている。

遅延回路42の出力端はパルス発生回路43のインバータ44の入力端と、EXORゲート46の一方の入力端とに接続されている。

インバータ44の出力端はインバータ45の入力端に接続され、インバータ45の出力端はEXORゲート46の他方の入力端に接続されている。

EXORゲート46の出力端はnビットのラッチ回路30のクロック入力端に接続されている。

【0026】

また、ラッチ回路 20 内のフリップフロップ FF1、FF2、・・・、FFn の出力信号のそれぞれは、ラッチ回路 30 の 1 ビット目、2 ビット目、・・・、n ビット目のデータ入力端にそれぞれ与えられている。

ラッチ回路 30 の 1 ビット目から n ビット目までの出力信号のそれぞれは、クロック位相判定回路 50 の対応する入力端にそれぞれ与えられている。

また、クロック位相判定回路 50 の出力端よりクロック選択信号 CSL が出力され、その出力端は、セクタ 60 の制御入力端に接続されている。そのセクタ 60 の出力端より出力クロック信号 OUTCLK が出力されている。

【0027】

次に、実施の形態 1 におけるデジタル同期回路の動作について説明する。

図 3 に、入力データ信号 DIN を多相クロック信号であるクロック信号 CLK1～CLKn によるサンプリングから、クロック位相判定回路 50 が動作するまでの動作のタイミングチャートを示す。

【0028】

多相クロック生成回路 10 は、図には示されていないが入力データ信号 DIN の周波数と同一の周波数の信号を発生する発振器が内蔵されている。

多相クロック生成回路 10 から出力される多相クロック信号であるクロック信号 CLK1～CLKn のそれぞれは、同一周波数であり、入力データ信号 DIN に含まれる入力データの入力データ周波数とも一致している。

【0029】

また、クロック信号 CLK1、CLK2、・・・、CLKn 間の位相の関係は、クロック信号 CLK1 を基準にしてそれぞれ 0 、 $2\pi/n$ 、 $2\pi/n * 2$ 、 $2\pi/n * 3$ 、・・・、 $2\pi/n * (n-1)$ だけ遅れている。

すなわち、クロック信号 CLK1～CLKn の中でクロック信号番号が隣接するクロック信号間の位相差は $2\pi/n$ で、一定となっている。

【0030】

多相クロック生成回路 10 から出力されたクロック信号 CLK1、CLK2、・・・、CLKn のそれぞれにより、入力データ信号 DIN がラッチ回路 20 内のフリップフロップ FF1、FF2、・・・、FFn のそれぞれにラッチされる

ここで、図 3 において、時刻 t_2 のときに入力データ信号 DIN の電位が “H” レベルから “L” レベルあるいは “L” レベルから “H” レベルに変化していると仮定する。

なお、時刻 t_2 より前である時刻 t_1 及び時刻 t_2 よりも後である時刻 3 では入力データ信号 DIN の電位が “H” レベル及び “H” レベルのいずれかに確定していると仮定する。

【0031】

時刻 t_1 よりも前であり、クロック信号 CLK_1 の電位が “L” レベルから “H” レベルに変化するタイミングで入力データ信号 DIN のビットデータがサンプリングされ、そのサンプリングされたデータがラッチ回路 20 内のフリップフロップ FF_1 に取り込まれ、保持される。

次に、時刻 t_1 よりも前であり、クロック信号 CLK_1 の電位が “H” レベルへの変化してから、クロック信号の位相が $2\pi/n$ だけ変化するに要する時間経過後に、クロック信号 CLK_2 の電位が “L” レベルから “H” レベルに変化する。

その変化したタイミングで入力データ信号 DIN がサンプリングされ、そのサンプリングされたデータがフリップフロップ FF_2 に取り込まれ、保持される。

【0032】

以降順番に入力データ信号 DIN がサンプリングされる。

時刻 t_1 のときにクロック信号 CLK_a の電位が “L” レベルから “H” レベルに変化し、その時点で入力データ信号 DIN の電位が “H” レベル及び “L” レベルのいずれかに確定しているので、その確定された “H” レベル又は “L” レベルがフリップフロップ FF_a に取り込まれる。

ここで “a” は $a=1$ 、 $1 < a < n-2$ の整数、又は $a=n-2$ である。

【0033】

時刻 t_1 からクロック信号の位相が $2\pi/n$ 遅れた時間に相当する時刻 t_2 のときに、クロック信号 CLK_{a+1} の電位が “L” レベルから “H” レベルに変化する。

そのとき入力データ信号 DIN の電位も同時に “H” レベルから “L” レベルあるいは “L” レベルから “H” レベルに変化していると仮定されているので、その変化しつつある中間の電位レベルをフリップフロップ FF_{a+1} に取り込もうとする。

その結果、フリップフロップ FF_{a+1} はメタステーブル状態となる。

このメタステーブル状態から通常の状態であるフリップフロップ FF_{a+1} の出力の電位が “H” レベルもしくは “L” レベルになるのに時間を要する。

【0034】

時刻 t_2 からクロック信号の位相が $2\pi/n$ 遅れた時間に相当する時刻 t_3 のときに、クロック信号 CLK_{a+2} の電位が “L” レベルから “H” レベルに変化する。

その時点では入力データ信号 DIN の電位が “H” レベル及び “H” レベルのいずれかに確定しているので、その確定された “H” レベル又は “H” レベルがフリップフロップ FF_{a+2} に取り込まれる。

【0035】

以下同様に、クロック信号の位相が $2\pi/n$ だけ変化するに要する時間経過毎に入力データ信号 DIN がサンプリングされ、そのサンプリングされたデータがラッチ回路 20 内の対応するフリップフロップに保持される。

このように、入力データ信号 DIN がクロック信号 CLK_1 、 CLK_2 、 \dots 、 CLK_n により時系列的にサンプリングされ、そのサンプリング結果がフリップフロップ FF_1 、 FF_2 、 \dots 、 FF_n にそれぞれ格納される。

【0036】

また、入力データ信号 DIN はラッチ制御回路 40 内の遅延回路 42 により遅延され、その遅延された信号がインバータ 44 と EXOR ゲート 46 とに入力される。

その遅延された信号の電位レベルの変化点、すなわち遅延された信号の立ち上がりもしくは立ち下がりの変化点である時刻 t_4 で、その遅延された信号の正極性の尾分信号が EXOR ゲート 46 の出力端よりラッチ制御信号 LC として出力される。

【0037】

なお、ラッチ制御信号LCのパルス幅は、ほぼインバータ2段分の遅延時間、すなわちインバータ44及びインバータ45のそれぞれの遅延時間の和となる。

また、入力データ信号DINの変化点からラッチ制御信号LCが出力されるまでの遅延時間d1は、遅延回路42による遅延時間とEXORゲート46による遅延時間の和となる。

【0038】

フリップフロップFF1～FFnの出力は、ラッチ制御信号LCにより次段であるラッチ回路30に取り込まれ、保持される。

【0039】

ここで、ラッチ回路30に保持されている内容について説明する。

例えば、入力データ信号DINの電位が“L”レベルから“H”レベルに変化したのをクロック信号CLK1～CLKnによりサンプリングされたとする。

このとき、ラッチ回路30の第1ビット目から第nビット目に保持されている内容は第1ビット目から途中のビットまでに“0”が格納され、それ以降のビットから第nビット目まで“1”が格納されている。

すなわち、1ビット目から順に“0、0、・・・、0、1、1、・・・、1”のようになる。

【0040】

逆に、入力データ信号DINの電位が“H”レベルから“L”レベルに変化したときは、第1ビット目から途中のビットまでに“1”が格納され、それ以降のビットから第nビット目までに“0”が格納されている。

すなわち、1ビット目から順に“1、1、・・・、1、0、0、・・・、0”のようになる。

また、入力データ信号DINに電位変化がなければ、ラッチ回路30の1ビット目からnビット目までに保持されている内容は、すべて“0”もしくはすべて“1”となる。

【0041】

さらに、ラッチ回路30に保持されているnビットのデータがクロック位相判

定回路 50 に与えられる。

ここで、クロック位相判定回路 50 は、入力データ信号 DIN を時系列的にサンプリングすることにより得られた信号が保持されているラッチ回路 30 からの n ビットの出力データから、入力データ信号 DIN を正しくサンプリングするために最適なクロック信号はどのようなタイミングの信号かを判断する。

その判断されたタイミングに最も近い信号として、クロック信号 $CLK1 \sim CLKn$ の内の一つが選択され、その選択されたクロック信号のクロック信号番号の値を示すクロック選択信号 CSL がクロック位相判定回路 50 より出力される。

【0042】

ところで、入力データ信号 DIN に含まれる各ビットデータのそれぞれを正しくサンプリングするためには、入力データ信号 DIN の変化点である時刻 t_2 から次の変化点である時刻 t_5 までが各ビットデータの受信周期となり、このビットデータをサンプリングするときの動作マージンが最も大きくなるタイミングは、時刻 t_2 と時刻 t_5 との中間のタイミングである時刻 t_s となる。

【0043】

すなわち、クロック位相判定回路 50 は、入力データ信号 DIN としてシリアルに入力される各ビットデータの中央のタイミングである時刻 t_s と、クロック信号 $CLK1 \sim CLKn$ の中で立ち上がりエッジのタイミングあるいは立ち下がりエッジのタイミングとがお互いに最も近くなる、いずれか一つのクロック信号を選択する。

【0044】

具体的には、ラッチ回路 30 からの n ビットの出力データから、1 ビット目より順に“0”から“1”に変化する変化点を調べ、その変化点が b ビット目であれば、その b の値に $n/2$ の値を加算した $b + n/2$ ビット目に対応するクロック信号 $CLK_{b + n/2}$ が選択される。

あるいは、1 ビット目より順に“1”から“0”に変化する変化点を調べ、その変化点が b ビット目であれば、その b の値に $n/2$ の値を加算した $b + n/2$ ビット目に対応するクロック信号 $CLK_{b + n/2}$ が選択される。

その選択されたクロック信号 $CLK_{b+n/2}$ のクロック信号番号の値 $b+n/2$ が示されたクロック選択信号 CSL がクロック位相判定回路 50 より出力される。

なお、 $b+n/2$ の値が n の値を越える場合には $b+n/2-n$ の値とすればよい。

【0045】

次に、セクタ 60 は、クロック選択信号 CSL で示される値に基づいて、クロック信号 $CLK_1 \sim CLK_n$ のいずれか一つが選択され、選択された信号が、出力クロック信号 $OUTCLK$ としてセクタ 60 の出力端より出力される。

【0046】

以上のように、入力データ信号 DIN とクロック信号 $CLK_1 \sim CLK_n$ との関係は非同期であるので、入力データ信号 DIN の変化点とクロック信号 $CLK_1 \sim CLK_n$ の中で変化点が一致するクロック信号が与えられたフリップフロップはメタステーブル状態になり、そのフリップフロップの出力信号の電位が定まらない期間が発生する。

【0047】

そこで、デジタル同期回路に遅延回路 42、インバータ 44、45 及び EXOR ゲート 46 により構成されたラッチ制御回路 40 を設け、ラッチ制御回路 40 内の遅延回路 42 により入力データ信号 DIN を遅延させ、インバータ 44、45 及び EXOR ゲート 46 により、その遅延させた信号の変化点でパルス信号であるラッチ制御信号 LC を発生させるようにした。

入力データ信号 DIN を時系列的にサンプリングされているラッチ回路 20 の n 本の出力信号のそれぞれを、そのラッチ制御信号 LC が与えられるタイミングで、ラッチ回路 30 にそれぞれラッチされるようにした。

【0048】

その結果、ラッチ回路 20 内のフリップフロップ $FF_1 \sim FF_n$ のいずれかのフリップフロップにメタステーブルが生じたとしても、そのメタステーブルの悪影響を受けないように、ラッチ制御信号 LC の発生タイミングを、メタステーブル状態から通常の“H”もしくは“L”レベルの状態に戻るタイミング以降まで

遅らせることができる。

そのため、フリップフロップ $FF1 \sim FF_n$ からの出力の電位が安定した時点でラッチ回路 30 にラッチすることができるようになるので、ラッチ回路 30 より後段の論理回路が確実に動作するようになり、安定した動作が期待できるようになるという効果を奏する。

【0049】

また、入力データ信号 DIN の変化点に対応してラッチ制御信号 LC が発生するようにしたので、入力データ信号 DIN の電位レベルが変化しない場合はこれ以降の論理回路が動作しないため、不必要なデジタル同期回路の動作を抑制し、消費電力を抑えることができるようになるという効果を奏する。

なお、 n の値が大きいほどその効果は著しい。

【0050】

さらに、従来メタステーブルによるラッチの出力の電位が定まらないことから発生する問題を回避するために、ラッチ回路 20 をマスター・スレーブ構造のフリップフロップ回路にする、もしくはそのフリップフロップ回路の多段接続の形にし、メタステーブル状態が解消するまでの時間を稼いでいた。

このような方法と比較すると n 個のマスター・スレーブ構造のフリップフロップ回路、もしくは n 個のマスター・スレーブ構造のフリップフロップ回路の多段接続の形にする必要がないので、従来の方法と比較すると回路規模の縮小が実現でき、チップ面積が大きくならないという効果を奏する。

なお、 n の値が大きくてもラッチ制御回路 40 は一つでよいので、 n の値が大きいほどその効果は著しい。

【0051】

また、図 2 で示されたラッチ制御回路 40 内の直列接続体 41 の遅延回路 42 及びパルス発生回路 43 の接続形態を変え、直列接続体 41 の入力信号である入力データ信号 DIN をパルス発生回路 43 の入力であるインバータ 44 の入力端と、EXOR ゲート 46 の一方の入力端に与える。

パルス発生回路 43 の出力端は遅延回路 42 の入力端に接続し、遅延回路 42 の出力端より、直列接続体 41 の出力でもあるラッチ制御信号 LC が出力される

ようにしてもよい。

このようにしても今まで実施の形態 1 で述べた効果を奏する。

【0052】

実施の形態 2.

実施の形態 2 におけるデジタル同期回路は、図 2 に示した実施の形態 1 のラッチ制御回路 40 の内部構成を変えたもので、他の部分は実施の形態 1 と同一である。

すなわち、デジタル同期回路のブロック構成は、図 1 に示した実施の形態 1 と同一であるので、ラッチ制御回路 40 を除いて、デジタル同期回路の接続形態、動作の説明を省略する。

【0053】

実施の形態 2 におけるラッチ制御回路 40 の内部構成を図 4 に示す。

ラッチ制御回路 40 は、入力データ信号 DIN が与えられたパルス発生回路 43 と、パルス発生回路 43 からの出力信号が与えられたフリップフロップ 401 と、フリップフロップ 401 に接続された NMOS トランジスタ 402 と、フリップフロップ 401 の出力信号及び反転出力信号が与えられたレベル判定回路 410 と、レベル判定回路 410 の出力信号が与えられたパルス発生回路 420 とにより構成されている。

【0054】

また、パルス発生回路 43 は、インバータ 44、45 と EXOR ゲート 46 とにより構成されている。

レベル判定回路 410 は、フリップフロップ 401 の出力信号が与えられたコンパレータ 411 と、フリップフロップ 401 の反転出力信号が与えられたコンパレータ 412 と、コンパレータ 411、412 からの出力信号が与えられた NAND ゲート 413 とにより構成されている。

さらに、パルス発生回路 420 はインバータ 421 と NOR ゲート 422 とにより構成されている。

【0055】

次に、実施の形態 2 におけるデジタル同期回路の中で、実施の形態 1 との変更

部分である図 4 に示したラッチ制御回路 4 0 の接続形態について説明する。

入力データ信号 D I N がパルス発生回路 4 3 内のインバータ 4 4 の入力端と、E X O R ゲート 4 6 の一方の入力端とに与えられ、インバータ 4 4 の出力端はインバータ 4 5 の入力端に接続されている。インバータ 4 5 の出力端は E X O R ゲート 4 6 の他方の入力端に接続されている。

E X O R ゲート 4 6 の出力端はフリップフロップ 4 0 1 のデータ入力端及びクロック入力端と、N M O S トランジスタ 4 0 2 のゲート電極とに接続されている。

【 0 0 5 6 】

フリップフロップ 4 0 1 の出力端 Q は、N M O S トランジスタ 4 0 2 の一方のソース／ドレイン電極と、レベル判定回路 4 1 0 内のコンパレータ 4 1 1 の一入力端とに接続されている。

フリップフロップ 4 0 1 の反転出力端 Q B は、N M O S トランジスタ 4 0 2 の他方のソース／ドレイン電極と、レベル判定回路 4 1 0 内のコンパレータ 4 1 2 の一入力端とに接続されている。

コンパレータ 4 1 1、4 1 2 の + 入力端には、リファレンス電圧 V r e f が与えられている。

また、コンパレータ 4 1 1、4 1 2 の出力端はそれぞれ N A N D ゲート 4 1 3 の一方及び他方の入力端に接続されている。

N A N D ゲート 4 1 3 の出力端はパルス発生回路 4 2 0 内のインバータ 4 2 1 の入力端と N O R ゲート 4 2 2 の一方の入力端に接続されており、インバータ 4 2 1 の出力端は N O R ゲート 4 2 2 の他方の入力端に接続されている。

N O R ゲート 4 2 2 の出力端よりラッチ制御信号 L C が出力される。

【 0 0 5 7 】

次に、実施の形態 2 におけるデジタル同期回路の動作を説明する。

実施の形態 1 とはラッチ制御回路 4 0 における入力データ信号 D I N からラッチ制御信号 L C を生成するときの生成法が異なり、他の部分の動作については同様なので、ラッチ制御信号 L C を生成する動作について説明し、他の部分の動作説明は省略する。

図 5 に、図 4 に示したラッチ制御回路 4 0 によりラッチ制御信号 LC を生成するときのタイミングチャートを示す。

【 0 0 5 8 】

時刻 t_{20} において、入力データ信号 DIN の立ち上がり及び立ち下がりの変化点の両方でラッチ制御回路 4 0 内のパルス発生回路 4 3 により正極性のパルスが発生される。この正極性のパルスがフリップフロップ 4 0 1 のデータ入力端とクロック入力端に同時に与えられる。

その結果、フリップフロップ 4 0 1 はクロック入力端に与えられた信号の電位が “L” レベルから “H” レベルに変化するタイミングで、データ入力端に与えられた信号を取り込もうとするが、その信号の電位も “L” レベルから “H” レベルに変化しているので、“L”、“H” のいずれでもない中間の電位が取り込まれ、メタステーブル状態になる。

【 0 0 5 9 】

同時に、この正極性のパルスが NMOS トランジスタ 4 0 2 のゲート電極に与えられているので、その NMOS トランジスタ 4 0 2 が導通状態になりフリップフロップ 4 0 1 の出力端 Q と反転出力端 QB が短絡状態となり、メタステーブルの状態を確実なものにする。このメタステーブル状態におけるフリップフロップ 4 0 1 の出力端 Q 及び反転出力端 QB の電位は共に “L” 及び “H” レベルのいずれでもない中間の電位である。

【 0 0 6 0 】

この中間電位の状態は不安定であり、フリップフロップ 4 0 1 の出力端 Q 及び反転出力端 QB の電位は、ある時間経過後に “L” 及び “H” レベルのいずれかになる。

フリップフロップ 4 0 1 の出力がメタステーブル状態から “L” 及び “H” のいずれかになるのを検出するため、レベル判定回路 4 1 0 が設けられている。

すなわち、フリップフロップ 4 0 1 の出力信号及び反転出力信号のそれぞれの電位とリファレンス電圧 V_{ref} が与えられた信号線の電位とを比較するため、レベル判定回路 4 1 0 内にコンパレータ 4 1 1、4 1 2 が設けられている。

【 0 0 6 1 】

例えば、図5に示したタイミングチャートにおいて、フリップフロップ401の出力信号の電位は、メタステーブルの発生とともに $1/2 V_{dd}$ 前後となり、ある時間経過後に“H”レベルになる場合を示している。なお、 V_{dd} は電源電位である。

リファレンス電圧 V_{ref} の値は $1/2 V_{dd} < V_{ref} < V_{dd}$ であり、実際には V_{dd} の電位に近い値が与えられる。

フリップフロップ401の出力信号の電位は、メタステーブルの発生とともに $1/2 V_{dd}$ 前後となり、時刻 t_{21} で、フリップフロップ401の出力信号の電位の方が、リファレンス電圧 V_{ref} が与えられている信号線の電位より高くなると仮定すれば、レベル判定回路410内のコンパレータ411の出力の電位は、時刻 t_{20} でメタステーブルの発生とともに“L”レベルになり、時刻 t_{21} でコンパレータ411の出力が反転し“H”レベルになる。

【0062】

一方、フリップフロップ401の反転出力信号の電位は、メタステーブルの発生とともに $1/2 V_{dd}$ 前後となり、ある時間経過後に“L”レベルになる。

その結果、時刻 t_{20} から時刻 t_{21} の間、及び時刻 t_{21} 以降において、レベル判定回路410内のコンパレータ412の—入力端に与えられたフリップフロップ401からの反転出力信号の電位が、リファレンス電圧 V_{ref} が与えられた信号線の電位より低いので、コンパレータ412の出力の電位は“H”レベルになっている。

【0063】

よって、コンパレータ411、412からの出力信号がそれぞれ与えられたNANDゲート413の出力端より、コンパレータ411の出力信号が反転された信号が出力される。すなわち、時刻 t_{21} でNANDゲート413の出力の電位が“H”レベルから“L”レベルに変化する。

このNANDゲート413の出力信号を受けるパルス発生回路420は、NANDゲート413の出力信号の立ち下がりに応じて正極性のパルス信号が発生され、そのパルス信号がラッチ制御信号LCとなる。

【0064】

このようにすることにより、実施の形態2におけるラッチ制御回路40は、入力データ信号DINの変化点で強制的にフリップフロップ401にメタステーブル状態を発生させ、そのフリップフロップ401に発生しているメタステーブル状態が解消されるのに必要な時間だけ遅延したタイミングでラッチ制御信号LCが出力されるようになる。

【0065】

すなわち、実施の形態2による入力データ信号DINの変化点からラッチ制御信号LCが出力されるまでの遅延時間d2は、パルス発生回路43、フリップフロップ401、レベル判定回路410及びパルス発生回路420のそれぞれの遅延時間の和であるが、その中で支配的な遅延としては、フリップフロップ401とレベル判定回路410によるメタステーブル発生から解消までの時間である。

【0066】

また、図4で示したラッチ制御回路40の代わりに図6に示した別のラッチ制御回路40としてもよい。

この図6に示した別のラッチ制御回路40は、図4で示したラッチ制御回路40のレベル判定回路410内のコンパレータ411、412と、リファレンス電圧Vrefが与えられる信号線とを削除し、コンパレータ411、412の代わりにそれぞれインバータ414、415としたものである。

【0067】

すなわち、インバータ414の入力端はフリップフロップ401の出力端Qと、NMOSトランジスタ402の一方のソース/ドレイン電極とに接続され、インバータ415の入力端はフリップフロップ401の反転出力端QBと、NMOSトランジスタ402の他方のソース/ドレイン電極とに接続されている。

また、インバータ414、415の出力端のそれぞれは、NANDゲート413の一方及び他方の入力端に接続されている。

他の接続形態は図4で示したラッチ制御回路40と同一なので他の部分の接続形態の説明を省略する。

【0068】

次に、図6に示した別のラッチ制御回路40を用いたときの動作について説明

する。

レベル判定回路 410 内のインバータ 414、415 のそれぞれの論理的しきい値電圧の値を、 $1/2 V_{dd}$ を超え、十分に高くしたものである。このインバータ 414、415 の論理的しきい値電圧は、図 4 に示したコンパレータ 411、412 に与えられているリファレンス電圧 V_{ref} に相当する。

【0069】

インバータ 414、415 は、フリップフロップ 401 の出力がメタステーブル状態から “L” 又は “H” の電位になるタイミングを検出するもので、図 4 に示したコンパレータ 411、412 と同様の機能を果たすようにしたものである。

別のラッチ制御回路 40 の上記以外の動作については図 4 と同様になるので上記以外の動作の説明を省略する。

【0070】

また、図 4 で示したラッチ制御回路 40 又は、図 6 に示した別のラッチ制御回路 40 の代わりに図 7 で示した他のラッチ制御回路 40 としてもよい。

この図 7 で示した他のラッチ制御回路 40 は、図 4 で示したラッチ制御回路 40 内のフリップフロップ 401 とコンパレータ 411、412 の接続形態を変えたものである。

【0071】

すなわち、フリップフロップ 401 の出力端 Q は、レベル判定回路 410 内のコンパレータ 411 の－入力端と、コンパレータ 412 の＋入力端と、NMOS トランジスタ 402 の一方のソース／ドレイン電極とに接続されている。

フリップフロップ 401 の反転出力端 QB は NMOS トランジスタ 402 の他方のソース／ドレイン電極とに接続されている。

また、コンパレータ 411 の＋入力端には、リファレンス電圧 V_{ref+} が与えられ、コンパレータ 412 の－入力端にはリファレンス電圧 V_{ref-} が与えられている。

図 7 で示した他のラッチ制御回路 40 内の他の接続形態は、図 4 で示したラッチ制御回路 40 と同一なので他の部分の接続形態の説明を省略する。

【0072】

次に、図7に示した他のラッチ制御回路40を用いたときの動作について説明する。

リファレンス電圧 V_{ref+} の値は、 $1/2 V_{dd} < V_{ref+} < V_{dd}$ であり、実際には V_{dd} の電位に近い値が与えられている。また、リファレンス電圧 V_{ref-} の値は、 $0 < V_{ref-} < 1/2 V_{dd}$ であり、実際には接地電位に近い値が与えられている。

【0073】

フリップフロップ401がメタステーブル状態になり、フリップフロップ401の出力信号の電位がほぼ $1/2 V_{dd}$ となるが、ある時間経過後にその電位が“H”もしくは“L”レベルになる。

このフリップフロップ401の出力電位がほぼ $1/2 V_{dd}$ から“H”レベルになる場合は、“H”レベルになるタイミングをコンパレータ411で検出し、出力電位がほぼ $1/2 V_{dd}$ から“L”レベルになる場合は、“L”レベルになるタイミングをコンパレータ412で検出するようにしたものである。

他の動作については、図4で示したラッチ制御回路40と同様になるので他の動作についての説明を省略する。

【0074】

以上のように、デジタル同期回路に図4に示したラッチ制御回路40、図6に示した別のラッチ制御回路40、又は図7に示した他のラッチ制御回路40にメタステーブル状態を発生させるフリップフロップ401と、メタステーブル状態が解消されたことを判断するコンパレータ411、412又はインバータ414、415を設けるようにしたので、フリップフロップ401をラッチ回路20内のフリップフロップ $FF1 \sim FF_n$ のそれぞれと同一の回路とすることにより、フリップフロップ $FF1 \sim FF_n$ のいずれかにメタステーブル状態が発生したとしても、メタステーブル状態になったそのフリップフロップのメタステーブル解消に要する時間に対応したタイミングでラッチ制御信号LCが出力されるようになる。

【0075】

その結果、フリップフロップ F F 1 ~ F F n の出力信号をラッチ回路 3 0 にラッチするタイミング、すなわちラッチ制御信号 L C が出力されるタイミングにおいて、ラッチ回路 3 0 のデータ入力端の電位は中間の電位ではなく、“H”レベルもしくは“L”レベルになっている。

そのため、ラッチ回路 3 0 がメタステーブル状態になることがないので、デジタル同期回路を確実に動作させることができるようになる。

【 0 0 7 6 】

また、フリップフロップ F F 1 ~ F F n に生じたメタステーブル状態が解消されるまでの時間が温度変動、電圧変動、及び製造プロセスによる変動があったとしても、それと同じ変動をラッチ制御信号 L C が出力されるタイミングに与えられるようになるので、デジタル同期回路を確実に動作させることができるようになる。

【 0 0 7 7 】

さらに、真にメタステーブルが生じている時間のみ遅延させてラッチ回路 3 0 を動作させるようにしたので、温度変動、電圧変動、及び製造プロセスによる変動によるメタステーブル時間の最悪値を設計段階で予測して、入力データ信号 D I N の変化点からメタステーブル時間の最悪予測値に相当する時間だけ固定的に遅延させてラッチ制御信号 L C を出力するようにする場合と比較すると、ラッチ制御信号 L C が必要以上に遅延されることがなくなり、ラッチ回路 3 0 にラッチされるタイミングを早くすることができるようになる。

すなわち、実施の形態 1 でのラッチ制御回路 4 0 の遅延時間 d 1 よりも、実施の形態 2 におけるラッチ制御回路 4 0 の遅延時間 d 2 の方が小さくてすむようになる。

【 0 0 7 8 】

また、図 4 で示したラッチ制御回路 4 0 又は図 6 で示された別のラッチ制御回路 4 0 の内部構成を一部変更したものであってもよい。

すなわち、図 4 で示したラッチ制御回路 4 0 又は図 6 で示された別のラッチ制御回路 4 0 のレベル判定回路 4 1 0 内の N A N D ゲート 4 1 3 と、パルス発生回路 4 2 0 とを削除し、その N A N D ゲート 4 1 3 及びパルス発生回路 4 2 0 の代

わりにそれぞれ2入力NORゲート及び別のパルス発生回路を追加する。

この別のパルス発生回路は入力された信号の立ち上がりエッジで正極性のパルス信号を出力するように構成されている。

【0079】

上記に加えて、図4で示されたラッチ制御回路40の内部構成を一部変更した場合であれば、リファレンス電圧 V_{ref} の値として接地電位に近い正の電圧を与えることにより、この実施の形態2における図4で示したラッチ制御回路40と同様の動作をさせることができ、同様の効果を得ることができる。

【0080】

また、図6で示された別のラッチ制御回路40の内部構成を一部変更した場合であれば、さらにインバータ414、415の論理しきい値電圧の値を変え、その値を $1/2 V_{dd}$ 以下で、なるべく接地電位に近い値にすることによりこの実施の形態2における図6で示した別のラッチ制御回路40と同様の動作をさせることができ、同様の効果を得ることができる。

【0081】

【発明の効果】

第1の発明に係わるデジタル同期回路において、複数のクロック信号を出力するクロック生成回路と、入力データ信号がデータ入力端に与えられ、対応するクロック信号がクロック入力端に与えられている複数の第1のラッチ回路と、制御信号が与えられることにより、対応する第1のラッチ回路からの出力信号をそれぞれ保持する複数の第2のラッチ回路と、入力データ信号が与えられ、制御信号を生成する制御回路とを含み、制御回路は、入力データ信号が変化してから所定の時間だけ遅延してから制御信号が出力されるようにした。

【0082】

その結果、複数の第1のラッチ回路の中で、入力データ信号の変化点とクロック信号の変化点が一致していることによりメタステーブルが発生する第1のラッチ回路があったとしても、そのラッチ回路の出力信号が与えられ、そのラッチ回路に対応する第2のラッチ回路のクロック入力端に与えられる制御信号が、入力データ信号の変化するタイミングから所定の時間だけ遅延させてから与えるよう

になっているので、所定の時間の長さをメタステーブルが解消する時間よりも長くすることにより、メタステーブルの影響を受けない安定した、信頼性の高いデジタル同期回路が得られるようになるという効果を奏する。

また、入力データ信号が変化しなければ制御信号も出力されず、第 2 のラッチ回路も動作しないので、消費電力を低減することができるという効果を奏する。

【0083】

第 2 の発明に係わるデジタル同期回路において、制御回路は、入力データ信号を受ける第 1 の回路と、この第 1 の回路の出力信号を受けて制御信号を出力する第 2 の回路を有し、第 1 の回路及び第 2 の回路の一方は、入力された信号の電位の変化に応じてパルス信号を発生し、このパルス信号を出力するパルス発生回路であり、第 1 の回路及び第 2 の回路の他方は、入力された信号を遅延させ、その遅延させた信号を出力する遅延回路であるようにしたので、メタステーブルを回避する回路として複数の第 1 のラッチ回路及び複数の第 2 のラッチ回路の個数に拘わらず、パルス回路と遅延回路とによりなる一個の制御回路のみで実現できるので少ないレイアウト面積で実現することができるようになるという効果を奏する。

【0084】

第 3 の発明に係わるデジタル同期回路において、制御回路は、入力データ信号が与えられ、その入力データ信号の電位の変化に応じて第 1 のパルス信号を発生し、その第 1 のパルス信号を出力する第 1 のパルス発生回路と、第 1 のパルス信号がデータ入力端とクロック入力端とに与えられた第 3 のラッチ回路と、第 3 のラッチ回路からの出力信号及び反転出力信号の一方あるいは両方が与えられ、その出力信号又は反転出力信号が電源電位の $1/2$ よりも高い所定の電位を超えたとき、あるいは電源電位の $1/2$ よりも低い所定の電位よりも下がったときに別の制御信号を出力するレベル判定回路と、別の制御信号の電位の変化に応じて第 2 のパルス信号を発生し、その第 2 のパルス信号を制御信号として出力する第 2 のパルス回路とを備えたようにした。

【0085】

その結果、第 3 のラッチ回路で発生するメタステーブルが解消した時点で制御

信号が第2のラッチ回路に与えられるようになるので、メタステーブル解消にかかる時間が温度、電源電圧変動により変化しても、その変化に追従することができるようになる。よって入力データ信号からの遅延時間を最小限に抑えることができ、複数の第2のラッチ回路の動作タイミングを早めることができるという効果を奏する。

【0086】

第4の発明に係わるデジタル同期回路において、第3のラッチ回路は、複数の第1のラッチ回路のそれぞれと同一の回路により構成されているようにしたので、第1のラッチ回路と第3のラッチ回路のメタステーブル特性を合わせることができ、メタステーブル解消にかかる時間が温度、電源電圧変動により変化しても、その変化により正確に追従することができるようになる。よって入力データ信号からの遅延時間を必要最小限に抑えることができ、複数の第2のラッチ回路の動作タイミングを早めることができるという効果を奏する。

【0087】

第5の発明に係わるデジタル同期回路において、第1のパルス信号がゲート電極に与えられ、第3のラッチ回路の出力端が一方のソースドレイン電極に接続され、第3のラッチ回路の反転出力端が他方のソースドレイン電極に接続されたMOSトランジスタをさらに備えたので、第3のラッチ回路のメタステーブルを確実に発生させることができるようになるので、制御回路の信頼性が高まるという効果を奏する。

【0088】

第6の発明に係わるデジタル同期回路において、レベル判定回路は、第3のラッチ回路からの出力信号が与えられ、その与えられた信号がある電位レベルに達したかどうかを判定する第1のレベル判定器と、第3のラッチ回路からの反転出力信号が与えられ、その与えられた信号がある電位レベルに達したかどうかを判定する第2のレベル判定器と、第1のレベル判定器及び第2のレベル判定器からのそれぞれの出力信号が与えられる論理ゲート回路とが含まれるようにした。

また、第7の発明に係わるデジタル同期回路において、レベル判定回路は、第3のラッチ回路からの出力信号及び反転出力信号の一方が与えられ、その与えら

れた信号が第 1 の電位レベルに達したかどうかを判定する第 1 のレベル判定器と、第 1 のレベル判定器に与えられている信号と同じ信号が与えられ、その与えられた信号が第 2 の電位レベルに達したかどうかを判定する第 2 のレベル判定器と、第 1 のレベル判定器及び第 2 のレベル判定器からのそれぞれの出力信号が与えられる論理ゲート回路とが含まれるようにした。

その結果、第 3 のラッチ回路の出力信号の電位がメタステーブル状態である中間電位から“L”あるいは“H”レベルのいずれに変化する場合でも正しく動作させることができるようになるという効果を奏する。

【0089】

第 8 の発明に係わるデジタル同期回路において、第 1 のレベル判定器及び第 2 のレベル判定器のそれぞれは、一方の入力端に第 3 のラッチ回路からの信号が与えられ、他方の入力端に比較対象となる所定の電位が与えられる差動入力型の回路であるようにしたので、メタステーブル解消の判定レベルを自由に設定することができるようになるという効果を奏する。

【0090】

第 9 の発明に係わるデジタル同期回路において、第 1 のレベル判定器及び第 2 のレベル判定器のそれぞれは、論理的しきい値電圧の値を電源電圧の $1/2$ の値から電源電圧あるいは接地電圧の値の方へ近づけた別の論理ゲート回路であるようにしたので、実現するときの回路規模をより少なくすることができるようになるという効果を奏する。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 又は 2 によるデジタル同期回路のブロック構成図である。

【図 2】 図 1 で示されたデジタル同期回路のブロック構成によるラッチ制御回路 40 の内部構成図である。

【図 3】 図 2 で示されたラッチ制御回路 40 を用いたときのデジタル同期回路の動作を説明するタイミングチャートである。

【図 4】 図 1 で示されたデジタル同期回路のブロック構成において、本発明の実施の形態 2 におけるラッチ制御回路 40 の内部構成図である。

【図 5】 図 4 で示されたラッチ制御回路 4 0 の動作を説明するタイミングチャートである。

【図 6】 本発明の実施の形態 2 における別のラッチ制御回路 4 0 の内部構成図である。

【図 7】 本発明の実施の形態 2 における他のラッチ制御回路 4 0 の内部構成図である。

【図 8】 従来技術によるデジタル同期回路のブロック構成図である。

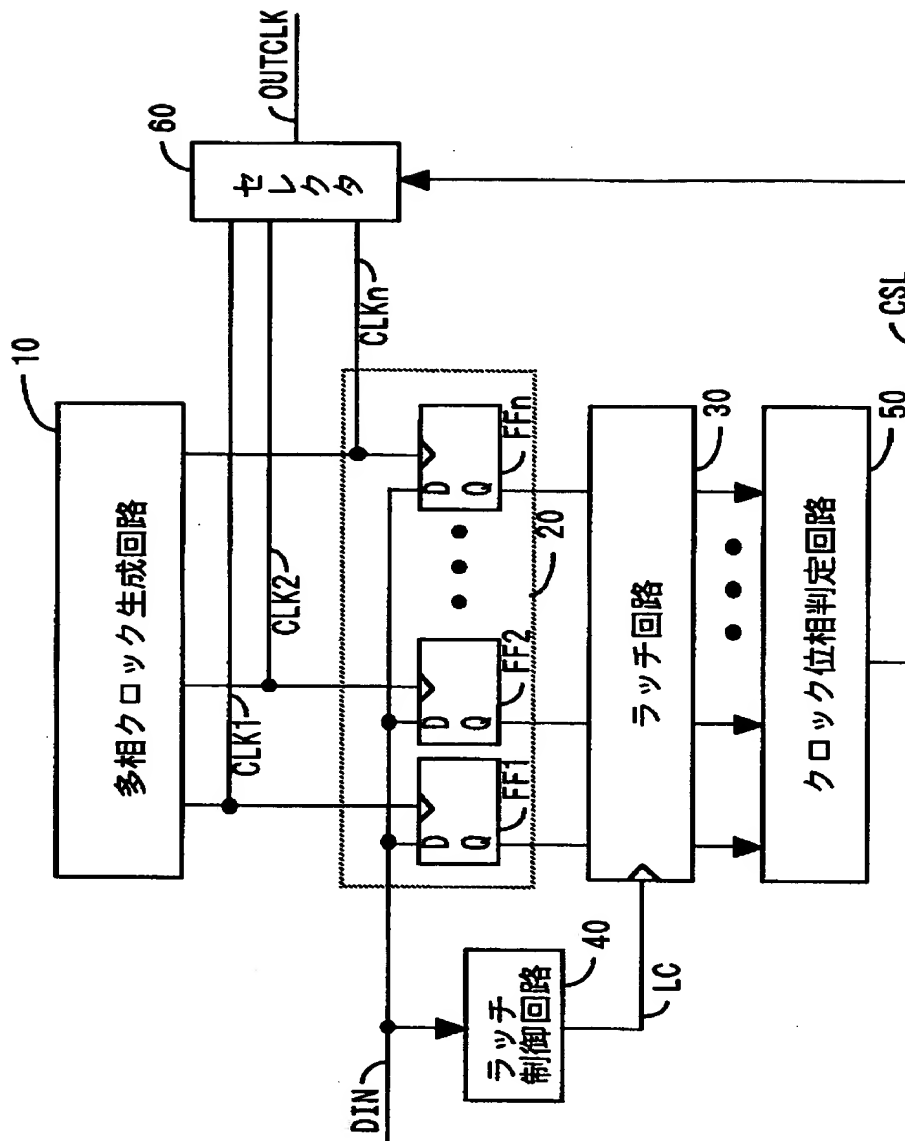
【符号の説明】

- 1 0 多相クロック生成回路（クロック生成回路）
- 2 0 ラッチ回路（第 1 のラッチ回路）
- 3 0 ラッチ回路（第 2 のラッチ回路）
- 4 0 ラッチ制御回路
- 4 2 遅延回路
- 4 3、4 2 0 パルス発生回路
- 6 0 セレクタ（選択回路）
- 4 0 1 ラッチ回路（第 3 のラッチ回路）
- 4 1 0 レベル判定回路
- 4 1 1、4 1 2 コンパレータ
- 4 1 3 NANDゲート
- 4 1 4、4 1 5 インバータ

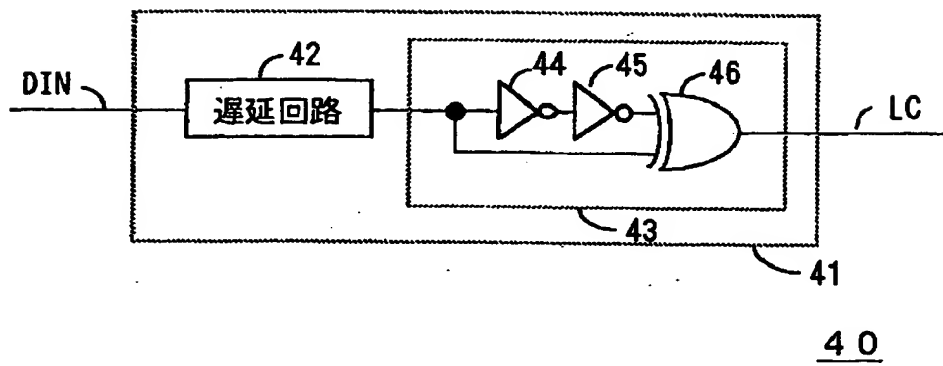
【書類名】

図面

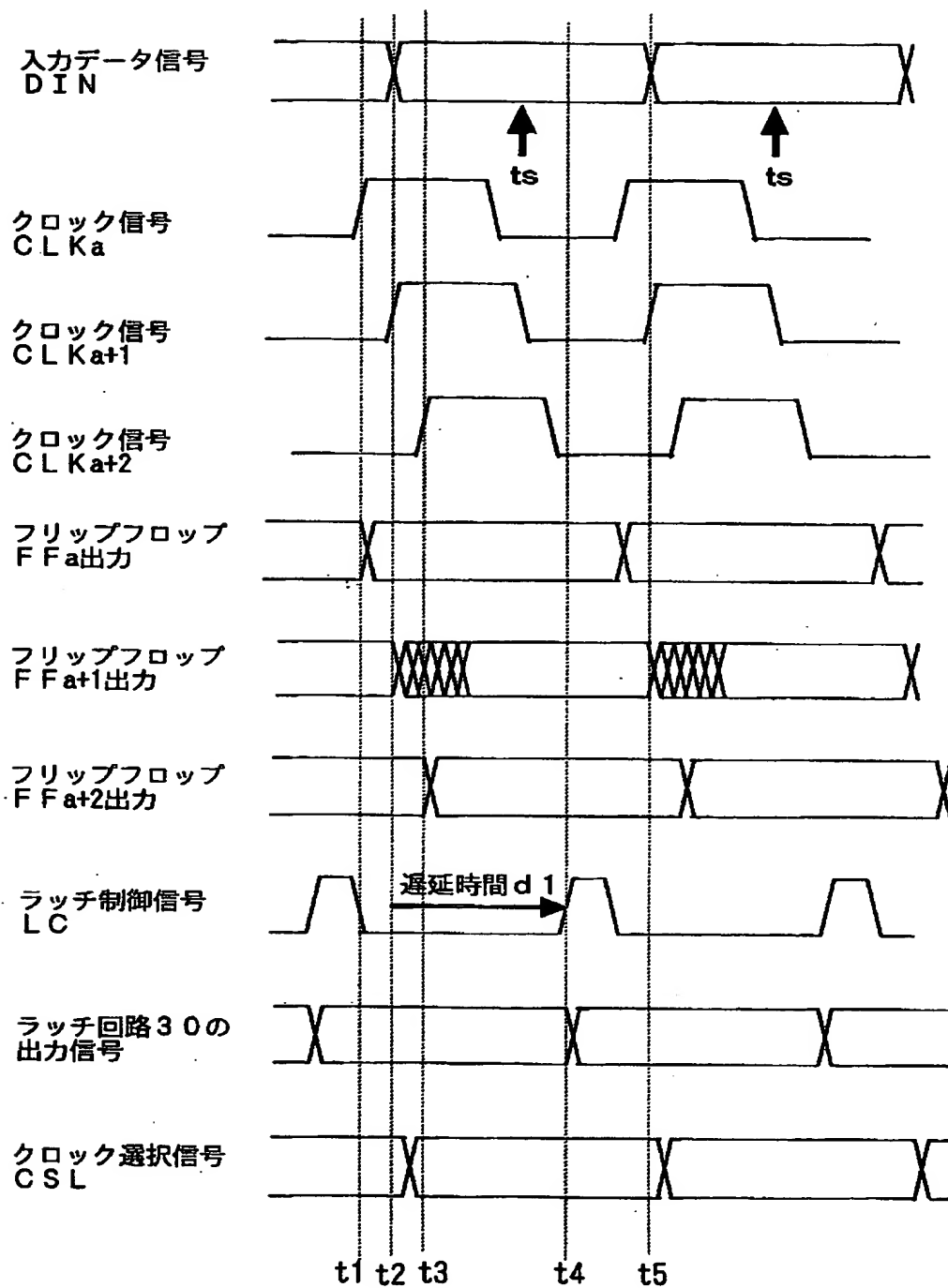
【図 1】



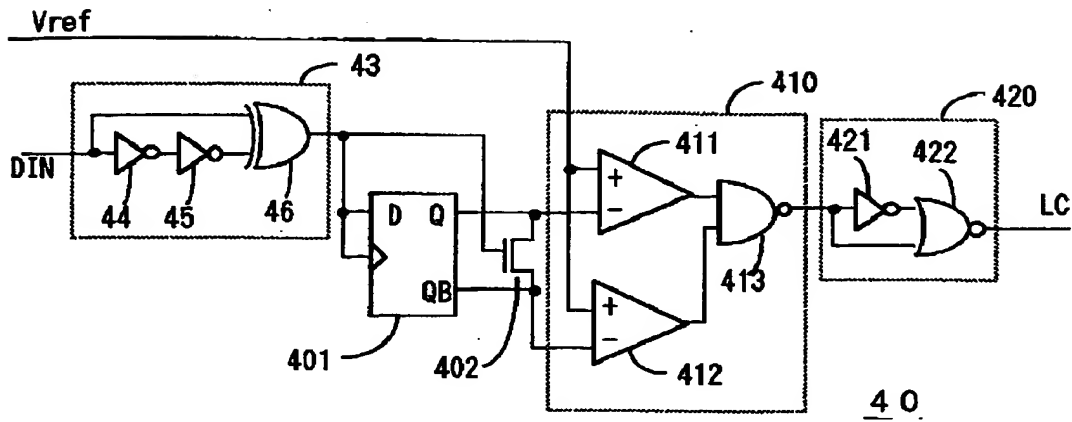
【图 2】



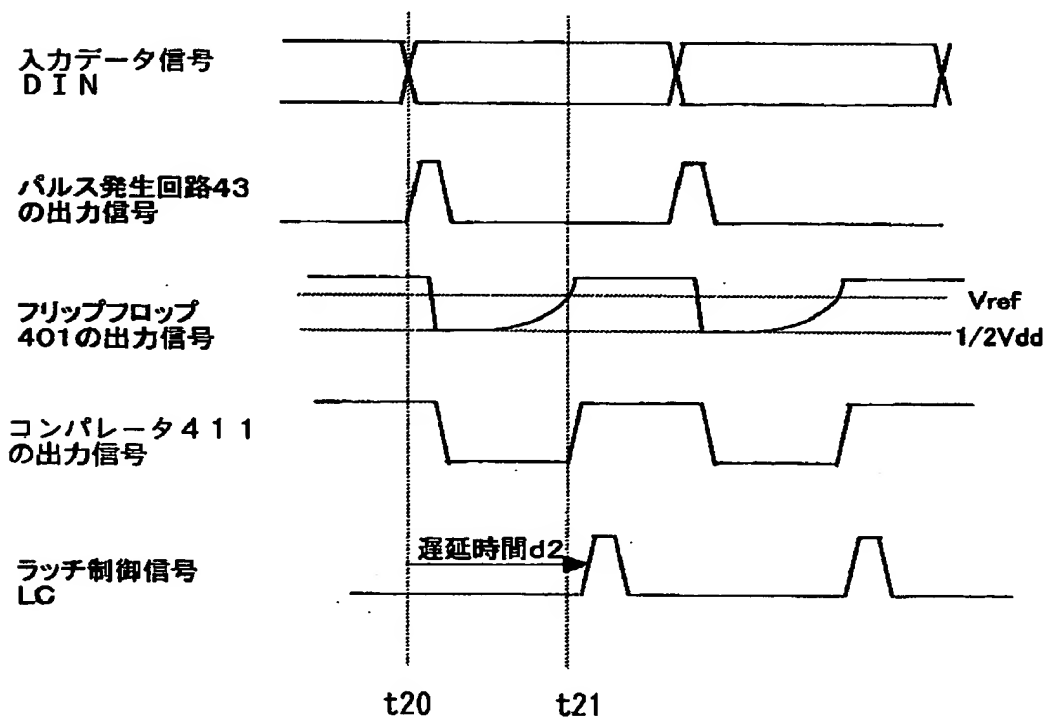
【図 3】



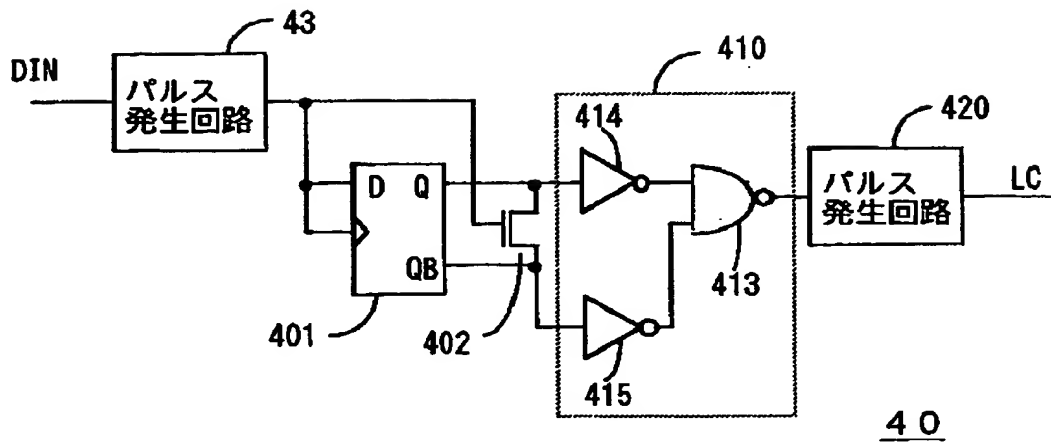
【図 4】



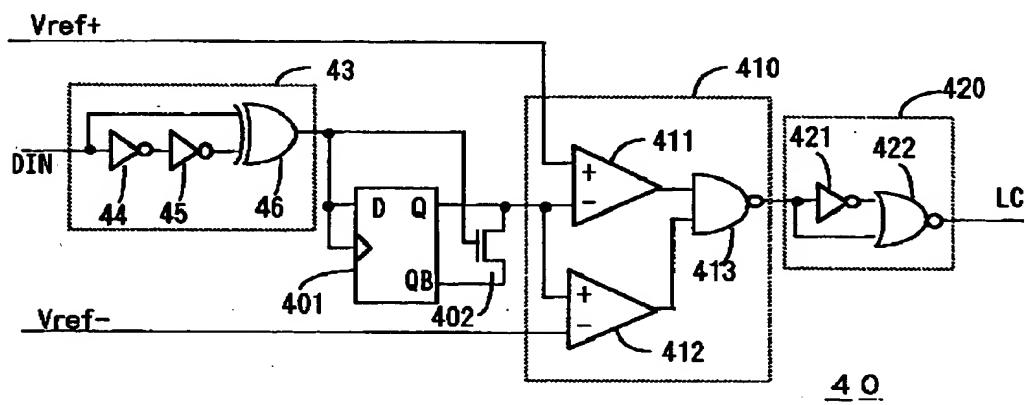
【図 5】



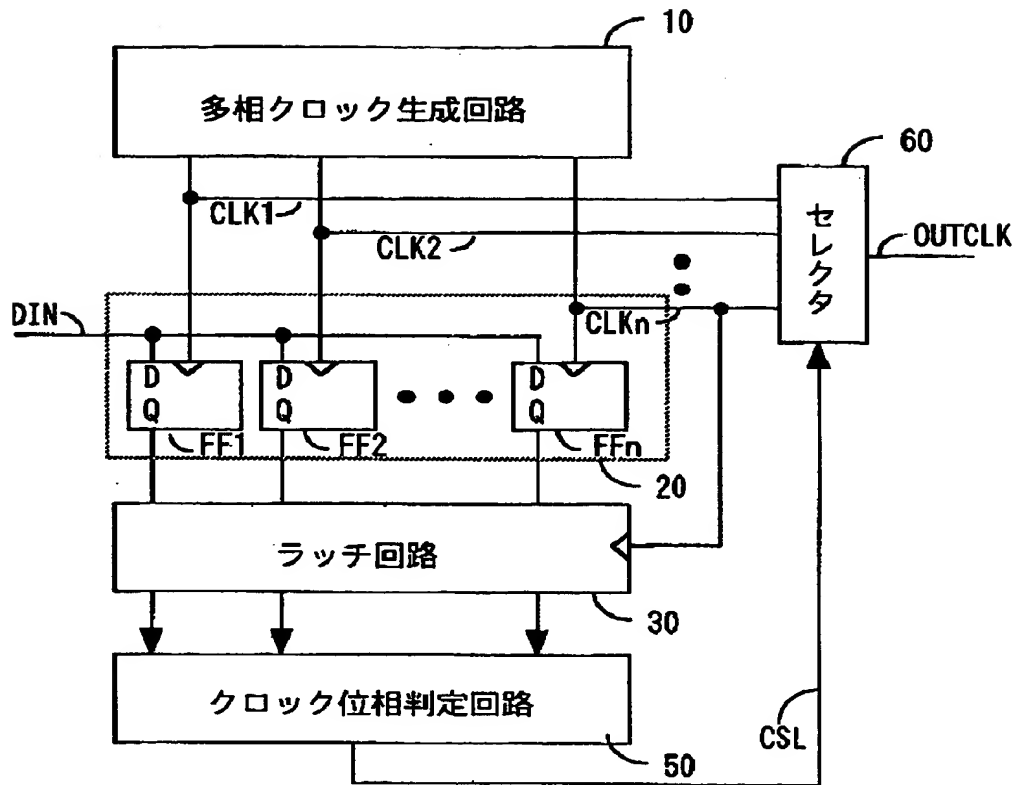
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 非同期である入力データ信号 D I N をサンプリングするときに発生するメタステーブルの影響を回避するときに、チップサイズや消費電力が大きくなりえないデジタル同期回路を得る。

【解決手段】 デジタル同期回路は、複数のクロック信号 C L K 1 ~ C L K n を出力するクロック生成回路 1 0 と、入力データ信号 D I N がデータ入力端に与えられ、対応するクロック信号がクロック入力端に与えられた複数の第 1 のラッチ回路 2 0 と、制御信号 L C が与えられることにより、対応する第 1 のラッチ回路 2 0 からの出力信号をラッチする複数の第 2 のラッチ回路 3 0 と、入力データ信号 D I N が与えられ、制御信号 L C を生成する制御回路 4 0 とを含んでいる。

制御回路 4 0 は、入力データ信号 D I N が変化してから所定の時間だけ遅延してから制御信号 L C が出力される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社